

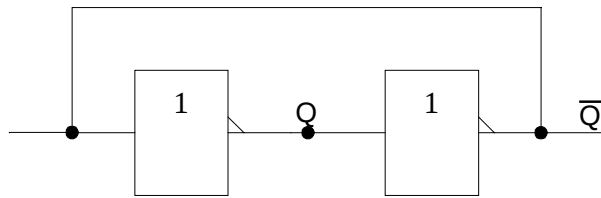
CIRCUITOS SEQUENCIAIS BÁSICOS

CIRCUITOS SEQUENCIAIS BÁSICOS - 2

- SUMÁRIO:
 - ELEMENTOS BÁSICOS DE MEMÓRIA
 - LATCHES
 - LATCH RS
 - LATCH RS SINCRONIZADO
 - LATCH D
 - FLIP-FLOPS
 - FLIP-FLOP MASTER-SLAVE
 - FLIP-FLOP JK
 - FLIP-FLOP EDGE-TRIGGERED
 - SIMBOLOGIA
 - CARACTERIZAÇÃO TEMPORAL
 - METODOLOGIA DE SINCRONIZAÇÃO TEMPORAL

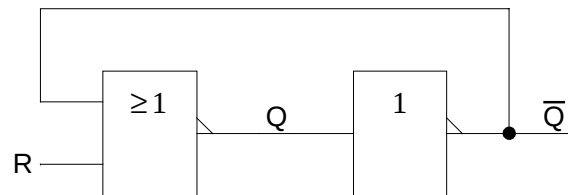
CIRCUITOS SEQUENCIAIS BÁSICOS - 3

● CIRCUITOS SIMPLES COM REALIMENTAÇÃO

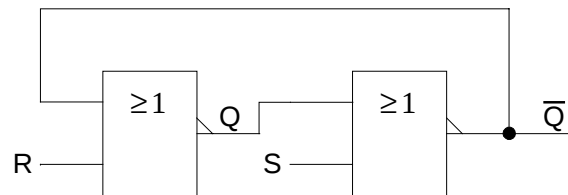


2 inversores em cascata → elemento básico de memória.

Posso armazenar um 1 (ou um 0) para sempre, mas não posso alterar o valor.



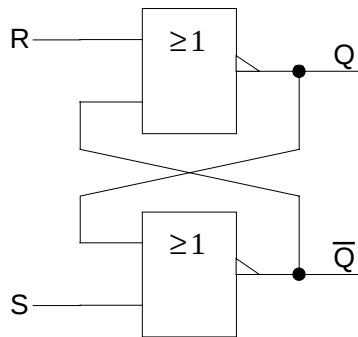
A entrada R permite forçar Q a 0 (mas não permite forçá-lo a 1).



A entrada R permite forçar Q a 0.
A entrada S permite forçar Q a 1.

CIRCUITOS SEQUENCIAIS BÁSICOS - 4

● LATCH RS



S	R	Q_{n+1}	$\overline{Q}_{n+1}$	
0	0	Q_n	$\overline{Q}_n$	HOLD
0	1	0	1	RESET
1	0	1	0	SET
1	1	U	U	Não Utilizada

O valor da saída do elemento de memória designa-se habitualmente por **estado**.

Um latch tem 2 estados possíveis.

$R = 1$ e $S = 0 \rightarrow Q$ é forçado a 0 $\rightarrow$ RESET.

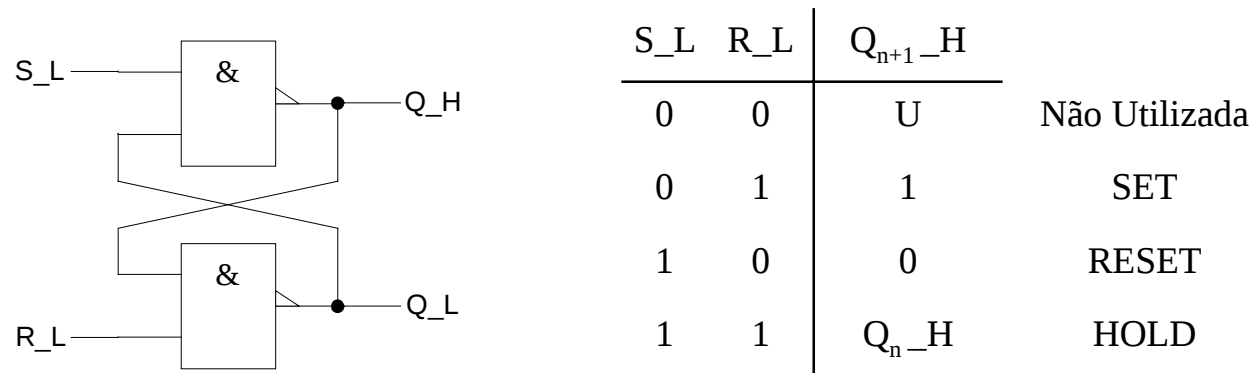
$R = 0$ e $S = 1 \rightarrow Q$ é forçado a 1 $\rightarrow$ SET.

$R = 0$ e $S = 0 \rightarrow$ mantém estado anterior.

$R = 1$ e $S = 1 \rightarrow$ não utilizada $\rightarrow$ sem significado (valor real depende da implementação).

CIRCUITOS SEQUENCIAIS BÁSICOS - 5

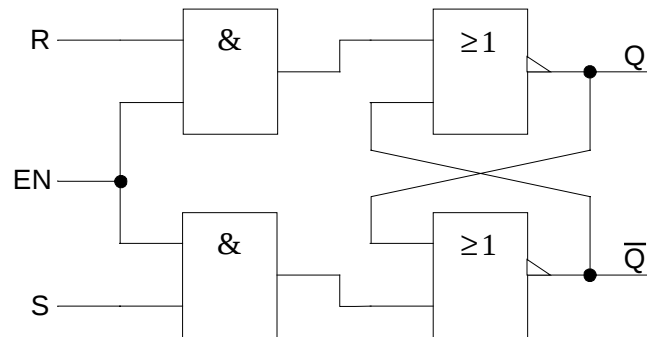
● LATCH RS COM PORTAS NAND



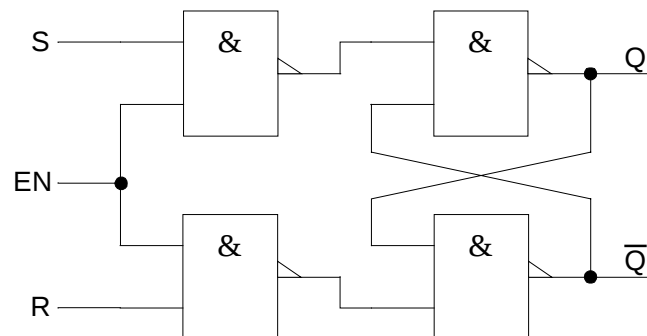
Quando o Latch é realizado com portas NAND, as entradas são activas a 0 (valor lógico que impõe o resultado da Nand).

CIRCUITOS SEQUENCIAIS BÁSICOS - 6

● LATCH RS SINCRONIZADO / CONTROLADO



EN	S	R	Q_{n+1}	
1	0	0	Q_n	HOLD
1	0	1	0	RESET
1	1	0	1	SET
1	1	1	U	Não Utilizada
0	X	X	Q_n	HOLD

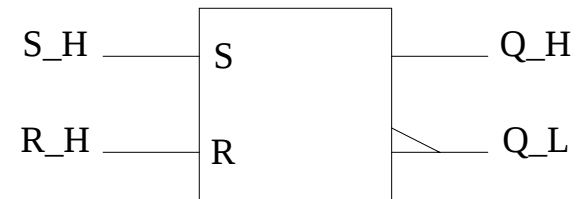
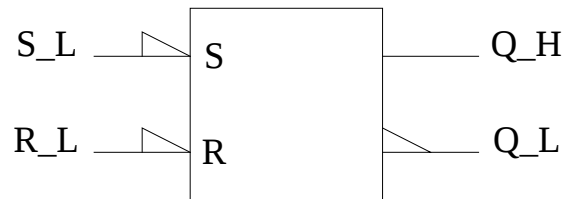


A entrada habilitadora ou enable, EN, permite controlar a aplicação das entradas de Set e de Reset ao latch.

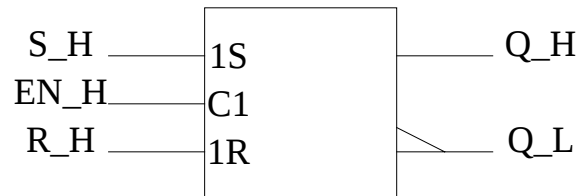
CIRCUITOS SEQUENCIAIS BÁSICOS - 7

● LATCHES RS – SIMBOLOGIA

► Latches Simples



► Latch Sincronizado



A entrada de sincronismo é habitualmente designada por relógio – Clock (C).

A letra designa função:

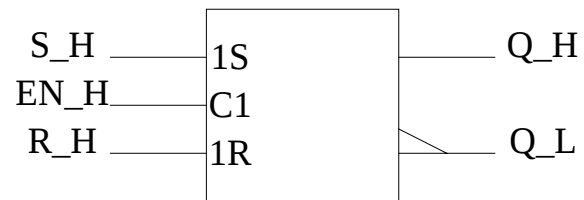
C = Clock; S = Set; R = Reset.

O 1 à direita identifica a entrada.

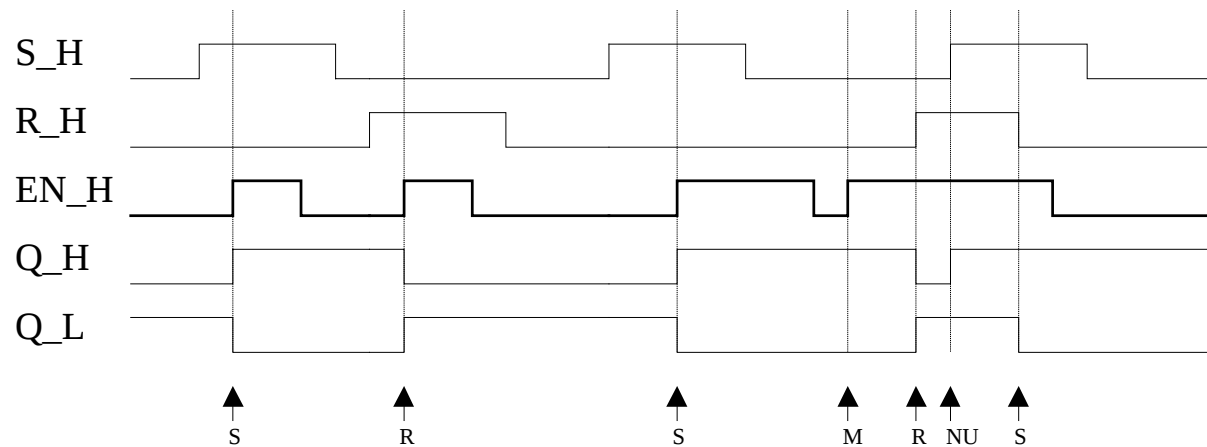
O 1 à esquerda da letra implica dependência da entrada 1.

CIRCUITOS SEQUENCIAIS BÁSICOS - 8

● LATCH SINCRONIZADO – DIAGRAMA TEMPORAL

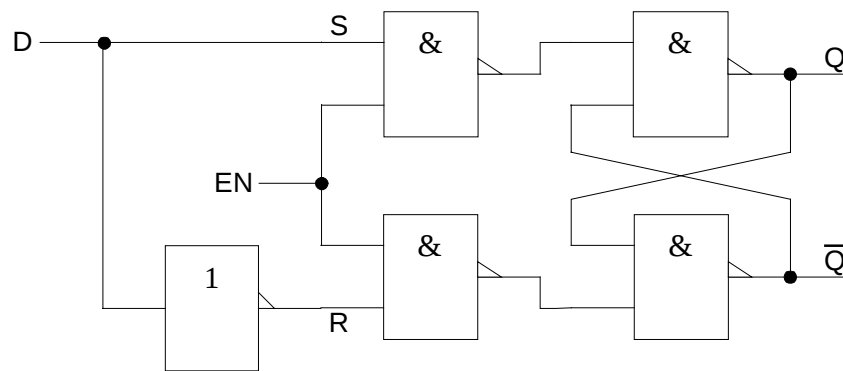


► Exemplo



CIRCUITOS SEQUENCIAIS BÁSICOS - 9

● LATCH D (SINCRONIZADO)

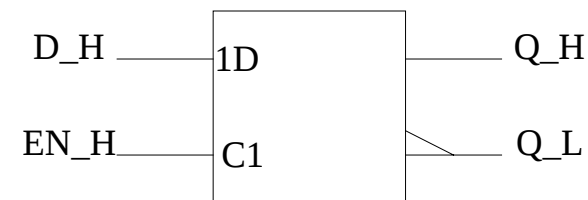


EN	D	Q_{n+1}	
1	0	0	RESET
1	1	1	SET
0	X	Q_n	HOLD

Um dos modos de eliminar o estado indefinido no latch RS consiste em assegurar que as entradas R e S são sempre complementares.

Obtém-se, assim, o latch D, que tem apenas 2 entradas: D (Data) e C (Clock).

► Símbolo



CIRCUITOS SEQUENCIAIS BÁSICOS - 10

● LATCHES E FLIP-FLOPS

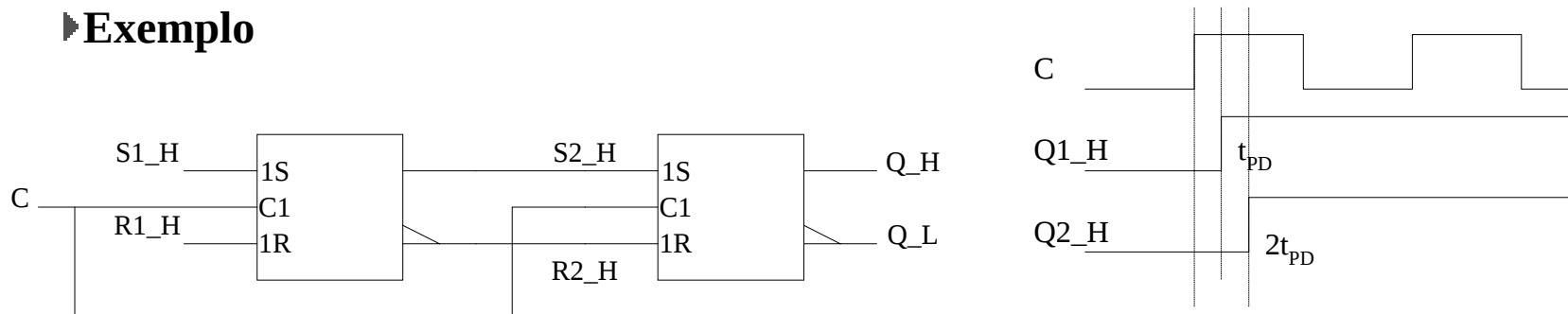
Os circuitos básicos de memória podem ser classificados em **latches** e **flip-flops**.

Os latches mudam as saídas imediatamente após uma variação nas entradas (diz-se que as saídas são *transparentes*).

Os flip-flops mudam as saídas **apenas** quando há uma variação do relógio.

Se as entradas de um latch mudam enquanto o relógio está a 1, o seu estado muda imediatamente. Esta mudança pode implicar novas mudanças de estado noutros latches, o que pode originar uma sequência imprevisível de mudanças de estado no circuito.

► Exemplo

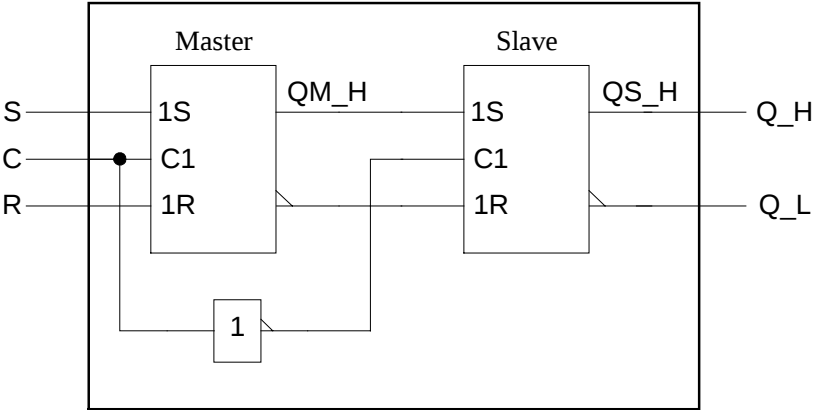


A ordem de SET ($S_1 = 1$, $R_1 = 0$) propaga-se no mesmo ciclo de relógio ao 2º latch!

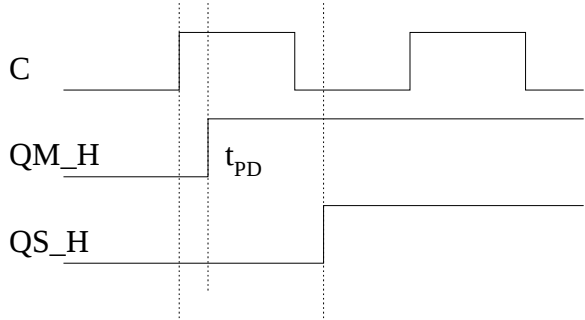
Os flip-flops são projectados de modo a permitir apenas uma única mudança de estado no circuito, por período de relógio, quando é usado um único relógio.

O flip-flop **Master-Slave** consiste na ligação em cascata de 2 latches sincronizados, com sinais de controlo complementares.

Funcionamento: o Mestre “aceita” ordens de Set ou Reset enquanto $C = 1$, mas só “passa” a ordem ao Escravo quando $C = 0$; do ponto de vista das saídas externas o estado apenas muda após a transição de $1 \rightarrow 0$ do relógio.



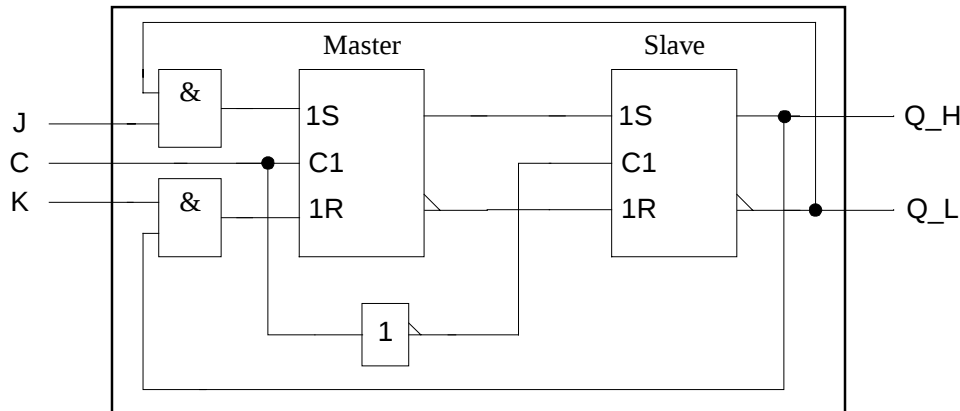
Exemplo



CIRCUITOS SEQUENCIAIS BÁSICOS - 12

● FLIP-FLOP JK MASTER-SLAVE

O flip-flop **JK** permite eliminar o estado indefinido, mantendo 2 entradas e, portanto, 4 funcionalidades distintas.



J	K	Q_{n+1}	
0	0	Q_n	HOLD
0	1	0	RESET
1	0	1	SET
1	1	$\overline{Q_n}$	TOGGLE

Nota: continua a só existir mudança de estado (variação nas saídas) após a transição de relógio de $1 \rightarrow 0$.

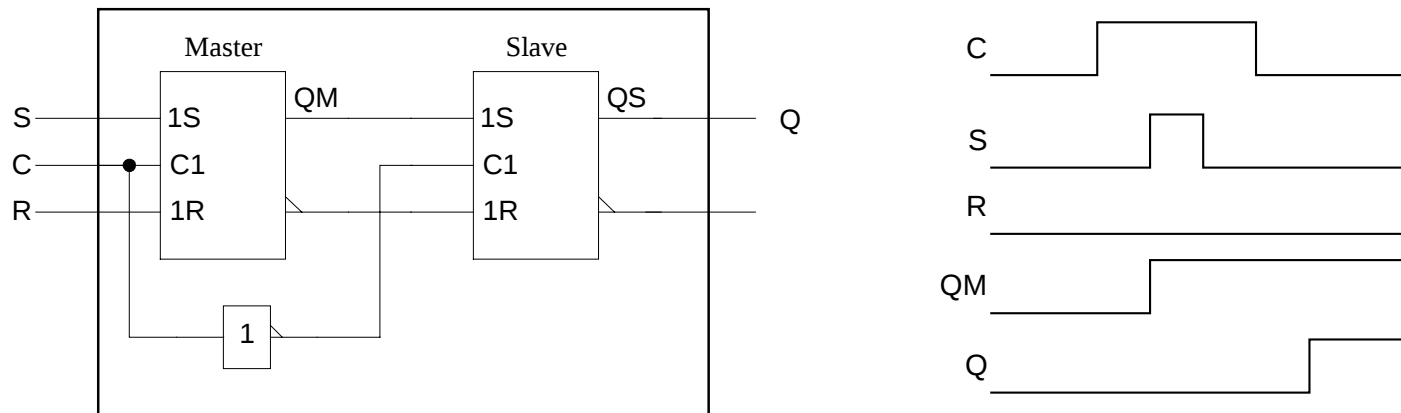
CIRCUITOS SEQUENCIAIS BÁSICOS - 13

● FLIP-FLOPS MASTER-SLAVE

Os flip-flops master-slave respondem aos valores na entrada que existam durante o semi-período em que $C = 1$. Por isso, são também chamados de **pulse-triggered**.

Para o seu funcionamento correcto, no entanto, não devem haver variações nas entradas durante o pulso de relógio.

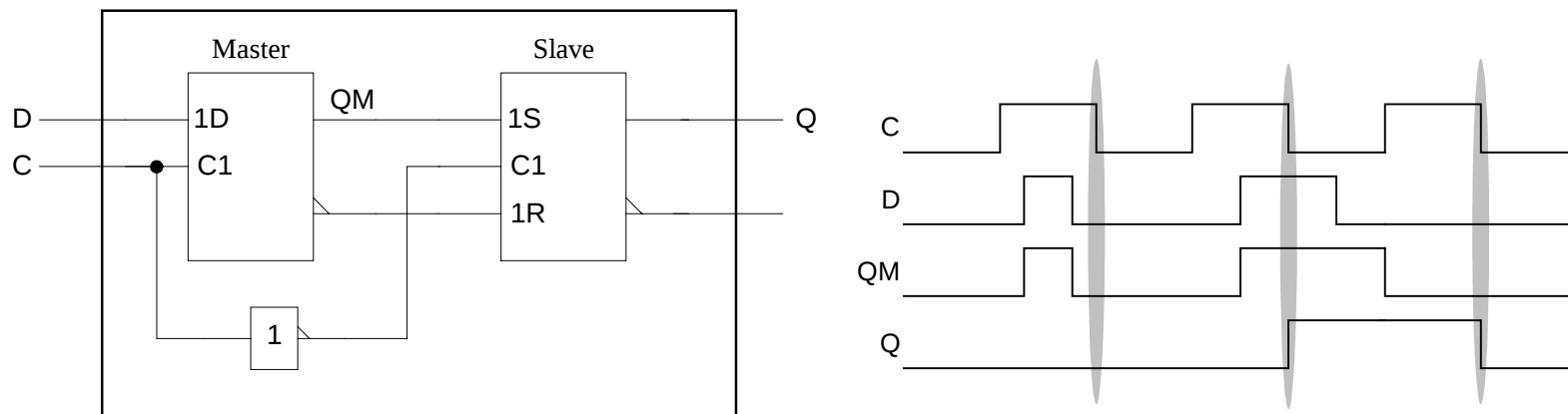
Problema: se durante o pulso de relógio $R = 0$ e $S = 0 \rightarrow 1 \rightarrow 0$, esperar-se-ia que o flip-flop mantivesse o estado, pois a última ordem é de HOLD, no entanto, o Mestre respondeu à ordem de SET e é essa ordem que é passada ao Escravo.



● FLIP-FLOPS EDGE-TRIGGERED

Os flip-flops **edge-triggered** ignoram o pulso, enquanto este se mantém num valor constante, e apenas reagem à transição de relógio.

Uma estrutura tipo master-slave em que o Mestre é um flip-flop D funciona como edge-triggered (e não como pulse-triggered): o estado que é passado do Mestre para o Escravo é sempre o estado definido pelas entradas na transição de relógio.



Os flip-flops dizem-se **positive-edge-triggered** se reagem à transição de relógio $0 \rightarrow 1$.

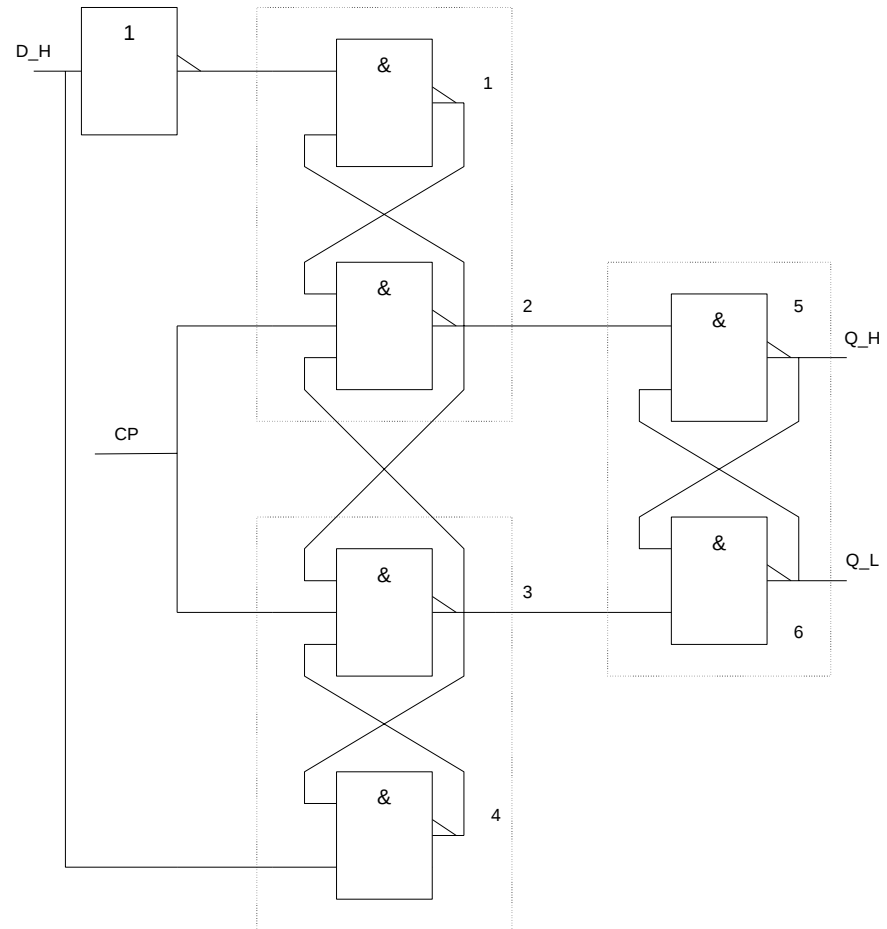
Os flip-flops dizem-se **negative-edge-triggered** se reagem à transição de relógio $1 \rightarrow 0$.

CIRCUITOS SEQUENCIAIS BÁSICOS - 15

● FLIP-FLOP D EDGE-TRIGGERED

Os flip-flops **D positive-edge-triggered** são habitualmente realizados com o circuito ao lado.

CP	D_H	Q_{n+1}
	L	L
	H	H
	-	Q_n
L	-	Q_n
H	-	Q_n



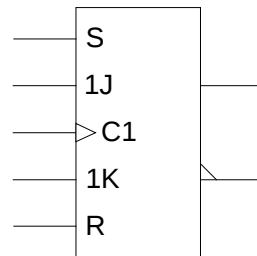
CIRCUITOS SEQUENCIAIS BÁSICOS - 16

● ENTRADAS ASSÍNCRONAS

Alguns flip-flops incluem entradas adicionais que permitem fazer o SET ou o RESET assíncronamente, i.e., independentemente do relógio.

A entrada de Set assíncrono é também às vezes designada por “*direct set*” ou “*preset*”, e a entrada de Reset assíncrono é também às vezes designada por “*direct reset*” ou “*clear*”.

► Exemplo

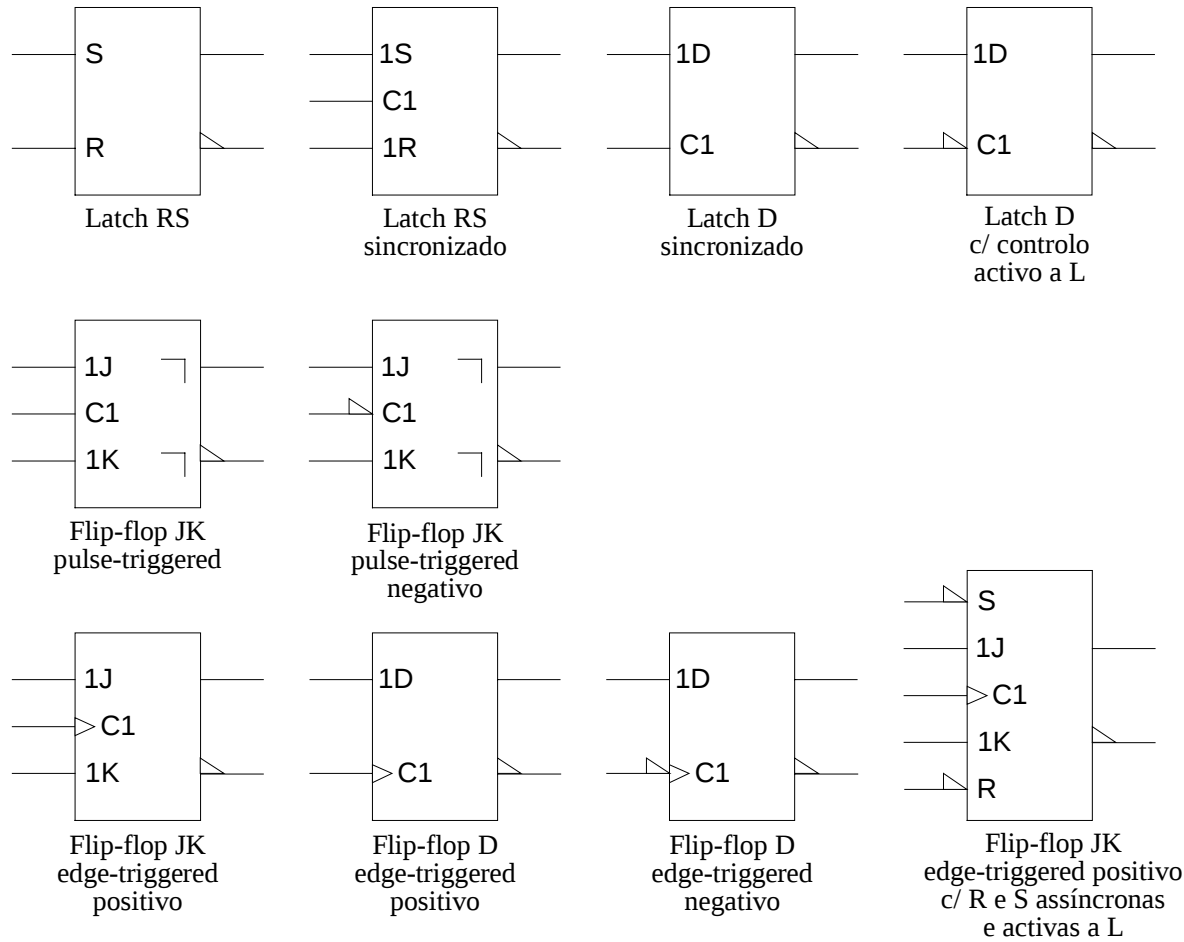


Flip-flop JK com R e S assíncronos

S	R	C	J	K	Q_{n+1}	
0	0	$\uparrow$	0	0	Q_n	HOLD
0	0	$\uparrow$	0	1	0	RESET
0	0	$\uparrow$	1	0	1	SET
0	0	$\uparrow$	1	1	$\overline{Q_n}$	TOGGLE
1	0	X	X	X	1	SET
0	1	X	X	X	0	RESET
1	1	X	X	X	U	Indefinido

CIRCUITOS SEQUENCIAIS BÁSICOS - 17

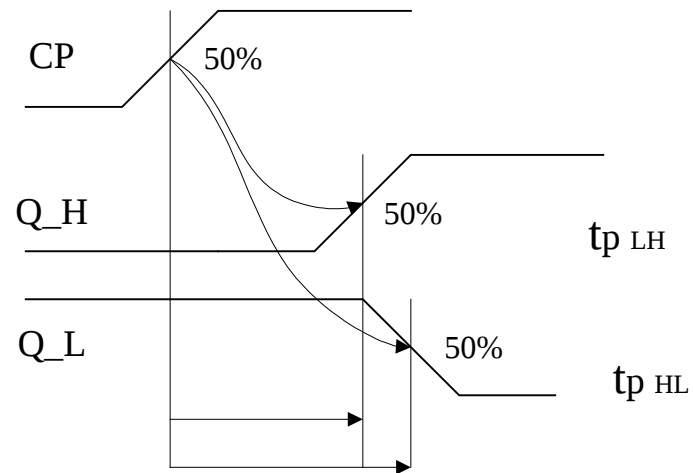
● SIMBOLOGIA



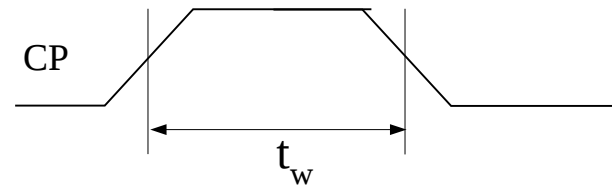
CIRCUITOS SEQUENCIAIS BÁSICOS - 18

● CARACTERIZAÇÃO TEMPORAL

► Tempo de atraso ou de propagação



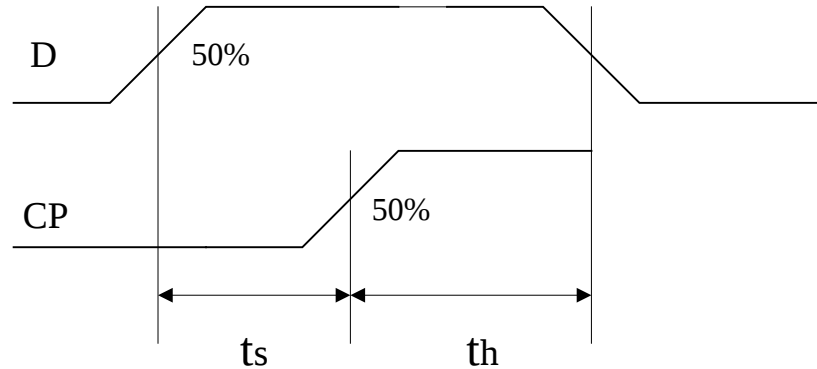
► Duração mínima de um pulso de relógio



● TEMPOS DE PREPARAÇÃO E DE MANUTENÇÃO

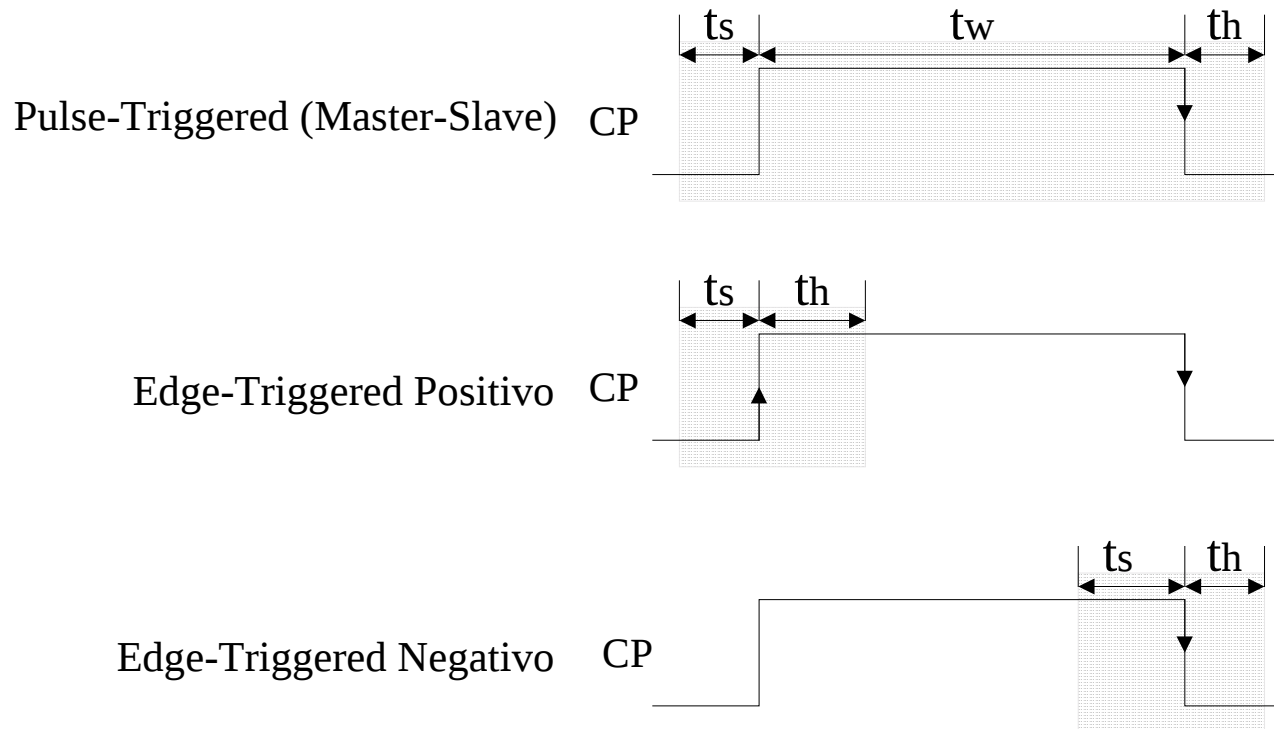
O tempo de **preparação** (t_s – SETUP) é a duração mínima do intervalo de tempo, **antes** da transição de relógio, durante o qual as entradas de dados não podem variar.

O tempo de **manutenção** (t_H – HOLD) é a duração mínima do intervalo de tempo, **após** a transição de relógio, durante o qual as entradas de dados não podem variar.



CIRCUITOS SEQUENCIAIS BÁSICOS - 20

● CARACTERIZAÇÃO DOS T_s , T_w E T_H PARA OS DIVERSOS FFs



CIRCUITOS SEQUENCIAIS BÁSICOS - 21

● METODOLOGIA DE SINCRONIZAÇÃO TEMPORAL

A utilização de uma metodologia de sincronização temporal correcta garante o funcionamento adequado do circuito.

Para sistemas síncronos, o **funcionamento adequado** significa que, para cada evento de relógio, todos os FFs examinam as suas entradas e determinam os seus novos estados. Isto obriga a que:

1. os valores de entrada correctos têm de ser disponibilizados, a tempo, aos FFs que vão mudar de estado.
2. nenhum flip-flop pode mudar de estado mais do que uma vez durante o mesmo evento de relógio.

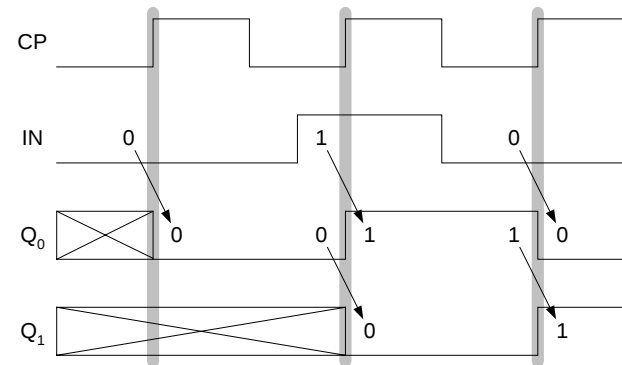
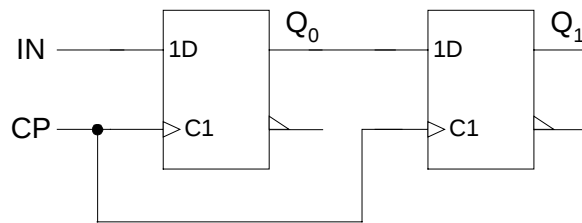


Diagrama Temporal considerando os tempos de atraso desprezáveis

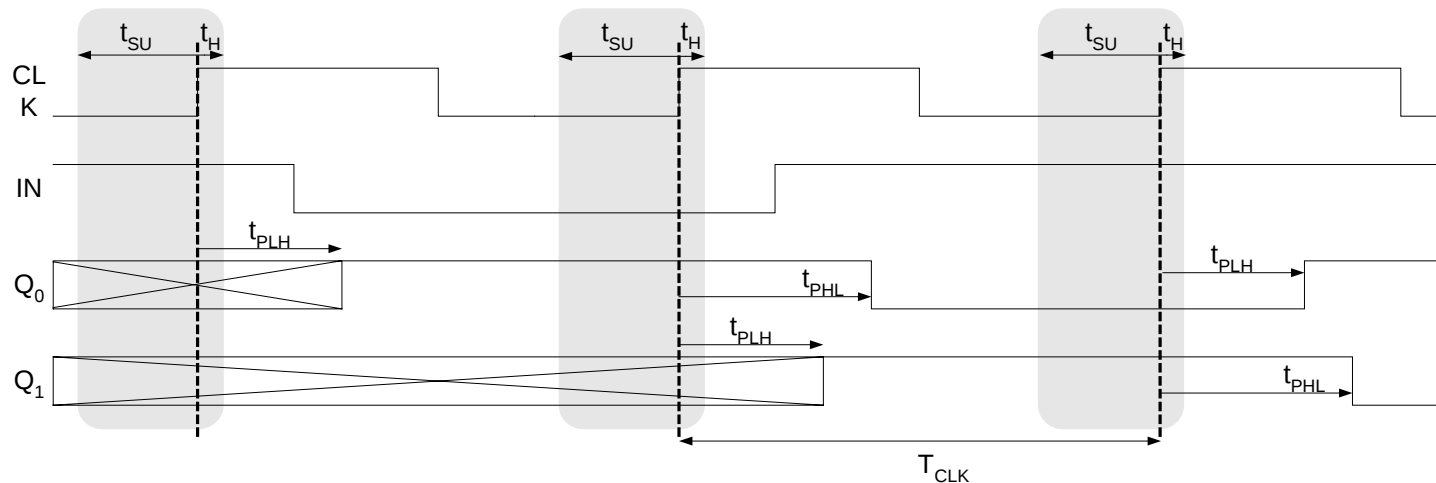
CIRCUITOS SEQUENCIAIS BÁSICOS - 22

● COMPORTAMENTO TEMPORAL

As entradas dos FFs têm de estar estáveis um Tempo de Setup **antes** do flanco de relógio, e um Tempo de Hold **depois** do flanco de relógio.

O tempo de propagação de um FF é habitualmente muito maior que o tempo de hold, portanto a verificação da condição de hold nunca é problema.

Para garantir a condição de setup é necessário que a variação provocada pelo 1º evento de relógio, chegue à entrada do FF um tempo de setup antes do 2º flanco de relógio.



Funcionamento Correcto

CIRCUITOS SEQUENCIAIS BÁSICOS - 23

● COMPORTAMENTO TEMPORAL (cont.)

Para uma frequência de relógio demasiado elevada, o circuito deixa de funcionar correctamente.

O funcionamento correcto exige:

$$t_{P_{FF}} \leq T_{CLK} - t_{SU}$$

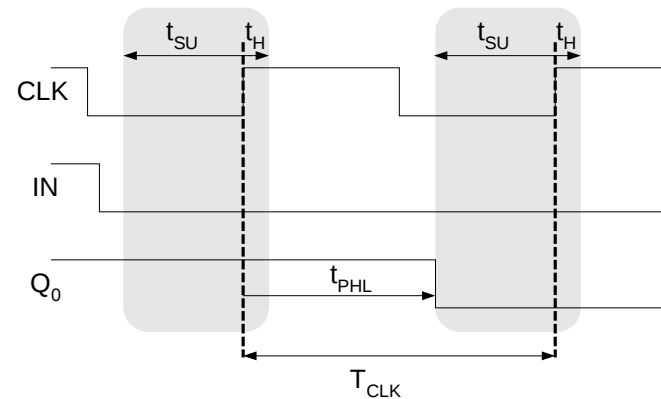
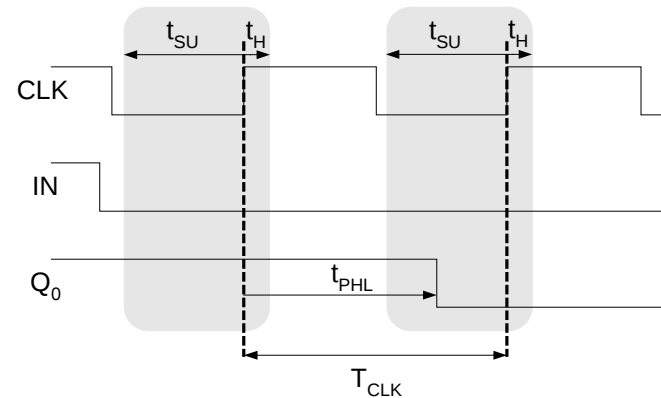
$$T_{CLK} \geq t_{P_{FF}} + t_{SU}$$

$$f_{CLK} \leq \frac{1}{t_{P_{FF}} + t_{SU}}$$

O caso limite é:

$$T_{\min_{CLK}} = t_{P_{FF}} + t_{SU}$$

$$f_{\max_{CLK}} = \frac{1}{t_{P_{FF}} + t_{SU}}$$



BIBLIOGRAFIA

[1] M. Morris Mano, Charles R. Kime, “Logic and Computer Design Fundamentals”, Prentice-Hall International, Inc. (Capítulo 4, Secções 4.1-4.3)